

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hee-Sook Park et al.
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: INTEGRATED CIRCUIT DEVICES HAVING SELF-ALIGNED CONTACT
STRUCTURES AND METHODS OF FABRICATING SAME

Date: February 13, 2004

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

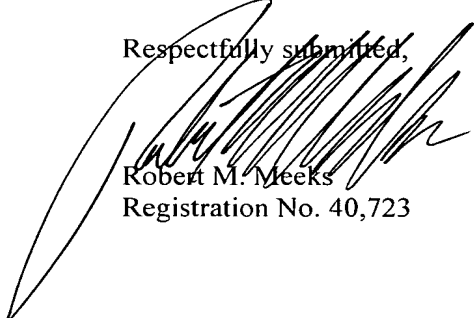
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the following
Korean priority application:

10-2003-0009926, filed February 17, 2003.

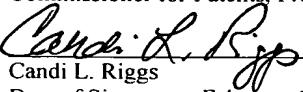
Respectfully submitted,


Robert M. Meeks
Registration No. 40,723

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 381445915 US
Date of Deposit: February 13, 2004

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Candi L. Riggs
Date of Signature: February 13, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0009926
Application Number

출원 년 월 일 : 2003년 02월 17일
Date of Application FEB 17, 2003

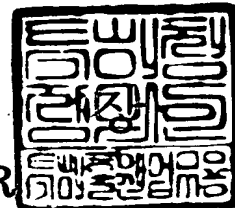
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.17
【발명의 명칭】	다마신 공정을 이용한 배선 및 그 형성 방법, 이를 포함하는 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Wiring formed by employing a damascene process, method for forming the wiring, semiconductor device including the same, and method for manufacturing the semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	박희숙
【성명의 영문표기】	PARK, Hee Sook
【주민등록번호】	710401-2006015
【우편번호】	100-453
【주소】	서울특별시 중구 신당3동 366-37
【국적】	KR
【발명자】	
【성명의 국문표기】	최길현
【성명의 영문표기】	CHOI, Gil Heyun
【주민등록번호】	661001-1009316
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 행원마을 동아솔레시티아파트104동 101 호
【국적】	KR

【발명자】

【성명의 국문표기】 강상범
【성명의 영문표기】 KANG, Sang Bom
【주민등록번호】 690217-1023717
【우편번호】 137-040
【주소】 서울특별시 서초구 반포동 1069번지 반포아파트 15-202
【국적】 KR

【발명자】

【성명의 국문표기】 문광진
【성명의 영문표기】 MOON, Kwang Jin
【주민등록번호】 730304-1641917
【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 7-1 마로니에동 606
【국적】 KR

【발명자】

【성명의 국문표기】 김현수
【성명의 영문표기】 KIM, Hyun Su
【주민등록번호】 750119-1703917
【우편번호】 442-708
【주소】 경기도 수원시 팔달구 매탄1동 매탄주공4단지아파트 405동 405호
【국적】 KR

【발명자】

【성명의 국문표기】 양승길
【성명의 영문표기】 YANG, Seung Gil
【주민등록번호】 730818-1231229
【우편번호】 449-901
【주소】 경기도 용인시 기흥읍 농서리 산 7-1 마로니에동 606호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	28	면	28,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	30	항	1,069,000	원
【합계】	1,126,000	원		

【요약서】

【요약】

다마신 공정을 이용한 배선의 형성 방법, 이를 포함하는 반도체 소자 및 그 제조 방법이 개시된다. 트랜지스터 구조물의 제1 및 제2 영역에 각기 접촉되는 제1 및 제2 패드를 포함하는 제1 절연막을 형성한다. 제1 절연막 상에 제2 절연막을 형성한 후, 제2 절연막을 식각하여 제2 절연막에 그루브들을 형성하고, 제1 패드를 노출시키는 제1 콘택 홀을 형성한다. 제2 절연막 상에 제1 도전막을 형성한 후, 제1 도전막을 연마하여 제1 콘택 홀 내에 제1 콘택 플러그를 형성하고, 그루브들 내에 제1 도전성 패턴들을 형성한다. 제2 절연막 상에 제3 절연막을 형성하고, 제3 및 제2 절연막을 식각하여 제2 패드를 노출시키는 제2 콘택 홀을 형성한다. 제3 절연막 상에 제2 도전막을 형성한 후, 제2 도전막을 연마하여 제2 콘택 홀 내에 제2 도전성 패턴을 형성한다. 질화물 마스크를 형성하지 않고 비트 라인을 형성하므로, 식각 공정 동안에 발생할 수 있는 금속성 폴리머의 존재에 따른 반도체 소자의 불량을 최소화할 수 있으며, 공정의 간략화를 달성할 수 있다. 또한, 충분한 마진을 가지고 비트 라인들 사이에 셀프-얼라인 방식으로 균일한 사이즈를 가지는 콘택 홀을 형성할 수 있으며, 디자인 룰의 축소에 관계없이 콘택과 패드 사이의 저항 증가에 따른 불량을 크게 감소시킬 수 있다.

【대표도】

도 3e

【명세서】**【발명의 명칭】**

다마신 공정을 이용한 배선 및 그 형성 방법, 이를 포함하는 반도체 소자 및 그 제조 방법{Wiring formed by employing a damascene process, method for forming the wiring, semiconductor device including the same, and method for manufacturing the semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래의 콘택 형성 방법을 설명하기 위한 단면도들이다.

도 2a 내지 도 2e는 종래의 다마신 공정을 이용하여 반도체 소자를 제조하는 방법을 설명하기 위한 단면도들이다.

도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 다마신 공정을 이용한 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 4는 본 발명의 다른 실시예에 따른 다마신 공정을 이용한 반도체 소자의 평면도이다.

도 5는 도 4의 반도체 소자를 비트 라인을 중심으로 자른 B₁-B₂ 선에 따른 단면도이다.

도 6a 내지 도 9b는 본 발명의 다른 실시예에 다마신 공정을 이용한 반도체 소자의 제조 방법을 설명하기 위한 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

200, 300 : 기판 205, 400 : 제1 절연막

210 : SAC 패드 215, 405 : 제2 절연막
230 : 접착막 235 : 제1 도전막
240, 345 : 접착막 패턴 245, 370 : 제1 도전막 패턴
250 : 전도성 배선 255, 410 : 제3 절연막
260 : 콘택 홀 265 : 분리막
270, 365 : 분리막 패턴 275, 370 : 제2 도전막 패턴
280 : 콘택 플러그 305 : 소자 분리막
315 : 게이트 구조물 330 : 제1 패드
335 : 제2 패드 340 : 비트 라인
360 : 스토리지 노드 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 다마신(damascene) 공정을 이용한 배선의 형성 방법, 이를 포함하는 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는 다마신 공정을 이용하여 비트 라인과 같은 도전성 배선을 형성하여 상기 배선들 사이에 안정적으로 콘택 플러그를 형성할 수 있는 다마신 공정을 이용한 배선의 형성 방법, 이러한 배선을 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

<20> 근래 들어, 반도체 장치가 고 집적화됨에 따라 미세한 패턴의 형성이 요구되

고 있으며 배선(wiring)의 넓이(width) 뿐만 아니라 배선과 배선 사이의 간격(space)도 현저하게 감소하고 있다. 또한, 비트 라인(bit line) 뿐만 아니라 주변 구조물도 함께 사이즈가 감소하고 있으며, 그 대표적인 것으로 비트 라인 콘택과 SAC(Self-Aligned contact) 패드 사이즈의 감소를 들 수 있다. 특히, 반도체 기판 내에 형성되어 있는 고립된 소자 영역들을 도전성 박막을 사용하여 연결시키는 콘택(contact)의 형성은 얼라인 마진(align margin) 및 소자 분리 마진 등을 확보하면서 수행되어야 하기 때문에 전체적으로 상당한 면적을 차지하게 된다. 이에 따라, DRAM과 같은 반도체 메모리 장치에 있어서, 콘택은 메모리 셀의 크기를 결정하는 주요한 요인으로 작용한다.

<21> 최근에는 $0.25\mu\text{m}$ 이하의 반도체 공정 기술이 급속히 발전하고 있는 바, 종래의 콘택 형성 방법으로는 미세한 크기의 콘택을 형성하기가 어렵다. 또한, 다수의 도전층들을 사용하는 메모리 장치에서는 도전층들 사이에 층간 절연막이 개재되기 때문에 도전층과 도전층 사이의 높이가 더욱 증가하여 도전층을 전기적으로 연결하는 콘택을 형성하는 공정이 더욱 어려워지고 있다. 따라서, 메모리 셀과 같이 디자인 룰(design rule)에 여유가 없고 동일한 형태의 패턴이 반복되는 경우, 셀 면적을 축소시키기 위하여 셀프-얼라인(self-align) 공정으로 콘택을 형성하는 방법이 개발되었다.

<22> 일반적으로, 셀프-얼라인 콘택 형성 기술은 주변 구조물의 단차를 이용하여 콘택을 형성하는 방법으로, 주변 구조물의 높이, 콘택이 형성될 위치에서의 절연막의 두께 및 식각 방법 등에 의해 다양한 크기의 콘택을 얻을 수 있다. 셀프-얼라인 콘택 형성 기술의 가장 큰 장점은 얼라인 마진을 필요로 하지 않으면서 미세 콘택을 형성할 수 있다는 것이다. 현재, 가장 많이 사용되고 있는 셀프-얼라인 콘택 공정은 이방성 식각 공정에 대한 산화막과 질화막 사이의 식각 선택비(etching selectivity)를 이용하여 콘택 홀을

형성하는 것이다. 이러한 셀프 얼라인 콘택 형성 방법은 국내 공개 특허 제 2001-76166 호, 일본 공개 특허 평10-27889호, 국내 공개 특허 제2001-59019호 등에 개시되어 있다.

<23> 도 1a 내지 도 1d는 상기 일본 공개 특허에 개시된 콘택 형성 방법을 설명하기 위한 단면도들을 도시한 것이다.

<24> 도 1a를 참조하면, 트랜지스터 구조물이 마련된 반도체 기판(10) 상에 산화막(15)을 적층한 다음, 산화막(15)을 부분적으로 식각하여 비트 라인을 위하여 소정의 치수로 그루브(groove)(20)를 형성한다.

<25> 계속하여, 그루브(20)를 포함하는 산화막(15) 상에 제1 장벽 금속층(25)과 제1 도전층(30)을 순차적으로 적층한 다음, 그루브(20)의 상부가 노출되도록 제1 장벽 금속층(25)과 제1 도전층(30)을 식각하여 그루브(20) 내에 비트 라인(35)을 형성한다.

<26> 도 1b를 참조하면, 상기 그루브(20) 내에 형성된 각 비트 라인(35) 상에 질화물로 이루어진 캡핑층(capping layer)(40)을 형성한 후, 포토레지스트 패턴(도시되지 않음)을 마스크로 하여 각 비트 라인(35) 사이의 산화막(15)을 식각함으로써, 비트 라인(35)에 인접하는 콘택 홀(45)을 형성한다.

<27> 이어서, 캡핑층(40)을 포함하는 비트 라인(35)의 측벽 및 콘택 홀(45)의 측벽에 질화물로 구성된 스페이서(50)를 형성한다.

<28> 도 1c를 참조하면, 상기 콘택 홀(45) 내에 제2 장벽 금속층(55) 및 제2 도전층(60)을 매립하여 각 비트 라인(35) 사이에 콘택 플러그(65)를 형성한다.

<29> 그러나, 상술한 종래의 콘택 형성 방법에 있어서, 질화물로 이루어진 캡핑층을 하드 마스크로 하여 콘택 홀을 형성하기 때문에 비트 라인의 임계 치수(CD)가 약 100nm 이

하로 감소할 경우에는 비트 라인들 사이에 형성되는 콘택 홀 사이즈의 감소로 인하여 콘택 오픈 마진을 충분히 확보할 수 없을 뿐만 아니라 콘택 홀이 완전히 도전체로 채워지지 않음으로서 콘택 플러그에 보이드(void)가 발생할 수 있는 문제점이 있다. 또한, 비트 라인 및 콘택 홀 형성을 위한 식각 공정에서 금속성 폴리머가 발생할 가능성이 매우 높으며, 이러한 금속성 폴리머는 브리지의 형태로 비트 라인들을 서로 연결하거나 비트 라인과 콘택 플러그를 서로 연결하여 결국 소자의 전기적인 단락(electrical short)을 유발하게 된다.

<30> 상술한 문제점을 고려하여, Gary B. Bronner 등에게 허여된 미국특허 제 6,344,389호, 국내 공개특허 제 2001-8589호 및 국내 공개 특허 제 2001-55683호 등에는 다마신(damascene) 공정을 적용하여 비트 라인과 캐패시터 콘택을 형성하는 방법이 제시되어 있다.

<31> 도 2a 내지 도 2e는 상기 미국 특허에 개시된 다마신 공정을 이용하여 비트 라인 및 캐패시터 콘택을 포함하는 반도체 소자를 제조하는 방법을 설명하기 위한 단면도들을 도시한 것이다.

<32> 도 2a를 참조하면, 실리콘으로 이루어진 반도체 기판(100)의 소정 부분에 STI(Shallow Trench Isolation) 공정으로 소자 분리막(105)을 형성하여 반도체 기판(100)에 셀 영역(cell region) 및 주변 영역(peripheral region)을 정의한다.

<33> 이어서, 반도체 기판(100) 상에 형성된 각 트랜지스터(110)를 감싸는 보호막(115)을 형성한 다음, 트랜지스터(110)가 형성된 반도체 기판(100)의 전면에 실리콘 산화물이나 실리콘 질화물로 이루어진 제1 절연막(120)을 형성한다.

- <34> 계속하여, 화학 기계적 연마(CMP) 공정을 이용하여 제1 절연막(120)의 상부를 평탄화시킨 후, 사진 식각 공정으로 제1 절연막(120)을 부분적으로 식각함으로써, 각 트랜지스터(110)의 소오스/드레인 영역(125)을 노출시키는 홀(도시되지 않음)들을 형성한다.
- <35> 다음에, 폴리실리콘이나 텅스텐 실리사이드와 같은 도전 물질로서 상기 홀들을 채워 상기 홀들에 비트 라인 SAC 패드(130)와 캐패시터 SAC 패드(135)를 형성한다.
- <36> 도 2b를 참조하면, 비트 라인 SAC 패드(130)와 캐패시터 SAC 패드(135)가 형성된 제1 절연막(120) 상에 층간 절연막(ILD)(140)을 형성한 후, 사진 식각 공정으로 층간 절연막(140)을 패터닝하여 층간 절연막(140)에 캐패시터 SAC 패드(135)를 노출시키는 캐패시터 콘택 홀(도시되지 않음)을 형성한다.
- <37> 계속하여, 상기 캐패시터 콘택 홀 내에 폴리실리콘이나 텅스텐 실리사이드 등의 도전 물질을 부분적으로 매립하여 캐패시터 콘택(145)을 형성한 다음, 캐패시터 콘택(145) 상에 보호층(150)을 형성하여 캐패시터 콘택 홀을 완전히 매립한다.
- <38> 이어서, 캐패시터 콘택(145)에 인접하는 층간 절연막(140)을 소정의 깊이로 식각하여 비트 라인을 위한 트렌치(155)를 형성하고, 층간 절연막(140)에 마련된 트렌치(155)의 측벽에 실리콘 질화물 등의 절연 물질로 구성된 스페이서(160)를 형성한다.
- <39> 도 2c를 참조하면, 트렌치(155)의 저면을 부분적으로 식각하여 비트 라인 SAC 패드(130)를 노출시키는 비트 라인 콘택 홀(도시되지 않음)을 형성한 후, 상기 비트 라인 콘택 홀을 채우면서 트렌치(155) 내에 도전 물질을 증착한다.

- <40> 이어서, 다마신 공정을 이용하여 증착된 도전 물질을 연마하고, 건식 또는 습식 식각 공정을 수행하여 비트 라인 콘택 홀에 비트 라인 콘택(165)을 형성하는 동시에 트렌치(155)의 저면으로부터 소정의 높이를 갖는 비트 라인(170)을 형성한다.
- <41> 도 2d를 참조하면, 캐패시터 콘택(145) 및 비트 라인(170)이 형성된 층간 절연막(140)의 전면에 제2 절연막(175)을 형성한 다음, 제2 절연막(175)을 부분적으로 식각하여, 제2 절연막(175)에 캐패시터 콘택(145)의 상부를 노출시키는 캐패시터 개구부(180)를 형성한다.
- <42> 도 2e를 참조하면, 캐패시터 개구부(180)를 통하여 노출되는 보호막(150) 및 캐패시터 콘택(145)의 상부를 제거하고, 개구부(180) 내에 하부 전극용 도전 물질, 유전 물질 및 상부 전극용 도전 물질을 순차적으로 증착하여 캐패시터(185)를 형성한다.
- 이어서, 캐패시터(185) 주변의 제2 절연막(175) 및 층간 절연막(140)을 화학 기계적 연마 공정으로 평탄화시킴으로써, COB(Capacitor-Over-Bitline) 구조를 가지는 캐패시터(185)를 포함하는 반도체 소자를 완성한다.
- <43> 그러나, 전술한 반도체 소자에 있어서, 비트 라인과 콘택 플러그 사이에 약 8 이상의 큰 유전율을 갖는 질화물로 이루어진 스페이서가 개재되기 때문에 비트 라인, 스페이서 및 콘택 플러그로 이루어지는 기생 캐패시터의 캐패시턴스(capacitance)가 증가하여 신호의 지연을 유발하는 동시에 셀 캐패시터의 정전 용량을 저하시키는 문제가 있다. 또한, 캐패시터 콘택 상에 보호막을 형성하고 후에 이를 캐패시터 콘택의 일부와 함께 제거하기 때문에 보호막을 형성하는 공정 및 이를 식각하는 공정의 추가로 인하여 반도체 소자의 제조 비용 및 시간이 상승될 뿐만 아니라 보호막을 식각하는 과정에서 금속성 하드 폴리머가 발생하여 반도체 소자의 불량률 유발할 가능성이 높아지는 문제가 있다. 이

러한 금속성 하드 폴리머의 발생 가능성은 도전체를 형성한 다음, 소정의 깊이로 도전체를 식각하여 비트 라인을 형성하는 공정을 거치면서 더욱 높아지게 된다.

【발명이 이루고자 하는 기술적 과제】

<44> 따라서, 본 발명의 제1 목적은 다마신 공정을 이용하여 추가적인 식각 공정 없이 도전성 배선들을 형성함으로써, 도전성 배선들 사이에 안정적으로 콘택 플러그를 형성할 수 있는 반도체 장치의 배선 및 그 형성 방법을 제공하는 것이다.

<45> 본 발명의 제2 목적은 다마신 공정을 이용하여 비트 라인과 같은 도전성 배선들을 용이하게 구현하고, 도전성 배선들 사이에 안정적으로 스토리지 노드 전극과 같은 콘택 플러그를 형성할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<46> 상술한 본 발명의 제1 목적을 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 장치의 배선은, 반도체 기판 상에 형성되어 제1 및 제2 패드를 포함하는 제1 절연막 패턴, 상기 제1 절연막 패턴 상에 형성되어 소정 형상의 그루브 또는 트렌치들을 포함하는 제2 절연막 패턴, 그리고 상기 그루브 또는 트렌치들 내에 형성되어 상기 제1 패드에 전기적으로 연결되는 제1 도전성 패턴들을 포함한다. 이 때, 상기 그루브 또는 트렌치들의 내벽과 상기 제1 도전성 패턴들 사이에는 접착막 패턴들이 형성될 수 있으며, 상기 제1 도전성 패턴들 및 제2 절연막 패턴 상에는 제3 절연막 패턴이 형성될 수 있다. 또한, 상기 제1 도전성 패턴들 사이의 상기 제3 절연막 패턴 및 상기 제2 절연막 패턴을 관통하여 형성된 콘택 홀 및 상기 콘택 홀 내에 형성되어 상기 제2 패드에 전기적으로 연결되는 제2 도전성 패턴을 더 포함할 수 있다.

<47> 또한, 상술한 본 발명의 제1 목적을 달성하기 위하여 본 발명의 일 실시예에 따르면, 반도체 기판 상에 제1 및 제2 패드를 포함하는 제1 절연막을 형성한 다음, 상기 제1 절연막 상에 제2 절연막을 형성한다. 상기 제2 절연막에 소정 형상의 그루브들을 형성한 후, 상기 그루브들을 채우면서 상기 제2 절연막 상에 제1 도전막을 형성하고, 상기 제1 도전막을 연마하여 상기 그루브들 내에 상기 제1 패드에 전기적으로 연결되는 제1 도전성 패턴들을 형성한다. 이 때, 상기 제1 도전성 패턴들 및 제2 절연막 상에는 제3 절연막을 형성되며, 상기 제1 도전성 패턴들 사이의 상기 제3 절연막 및 제2 절연막을 셀프-얼라인 방식으로 식각하여 상기 제2 패드를 노출시키는 콘택 홀이 형성된다. 또한, 상기 콘택 홀 및 상기 제3 절연막 상에 분리막을 형성하고, 상기 분리막을 식각하여 상기 콘택 홀의 내벽에 분리막 패턴을 형성한 다음, 상기 콘택 홀을 매립하는 제2 도전막을 형성하고, 상기 제2 도전막을 연마하여 상기 제2 패드에 전기적으로 연결되는 제2 도전성 패턴을 형성한다.

<48> 상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따른 반도체 장치는 트랜지스터 구조물이 형성된 반도체 기판, 상기 반도체 기판 상에 형성되며, 상기 트랜지스터 구조물의 제1 및 제2 영역에 각기 접촉되는 제1 및 제2 패드를 포함하는 제1 절연막 패턴, 상기 제1 절연막 패턴 상에 형성되며, 소정 형상의 그루브들을 포함하는 제2 절연막 패턴, 상기 그루브들 내에 형성된 제1 도전성 패턴들, 상기 제2 절연막 패턴을 관통하여 형성되어 상기 제1 패드를 노출시키는 제1 콘택 홀, 상기 제1 콘택 홀 내에 형성되어 상기 제1 도전성 패턴들을 상기 제1 패드에 전기적으로 연결시키는 제1 콘택 플러그, 상기 제1 도전성 패턴들 및 상기 제2 절연막 패턴 상에 형성된

제3 절연막 패턴, 상기 제1 도전성 패턴들 사이의 상기 제3 절연막 패턴 및 제2 절연막 패턴을 관통하여 형성되어 상기 제2 패드를 노출시키는 제2 콘택 홀, 그리고 상기 제2 콘택 홀 내에 형성되어 상기 제2 패드에 전기적으로 연결되는 제2 콘택 플러그를 포함한다. 이 경우, 상기 제1 도전성 패턴은 메모리용 반도체 소자의 비트 라인에 해당되며, 상기 제2 도전성 패턴은 캐패시터의 스토리지 노드 전극에 해당된다.

<49> 또한, 상술한 본 발명의 제2 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따르면, 반도체 기판 상에 트랜지스터 구조물을 형성하고, 상기 반도체 기판 상에 상기 트랜지스터 구조물의 제1 및 제2 영역에 각기 접촉되는 제1 및 제2 패드를 포함하는 제1 절연막을 형성한 다음, 상기 제1 절연막 상에 제2 절연막을 형성한다. 상기 제2 절연막을 식각하여 상기 제2 절연막에 소정 형상의 그루브들을 형성하고, 상기 제1 패드를 노출시키는 제1 콘택 홀을 형성한 후, 상기 제1 콘택 홀 및 상기 그루브들을 채우면서 상기 제2 절연막 상에 제1 도전막을 형성한다. 상기 제1 도전막을 연마하여 상기 제1 콘택 홀 내에 제1 콘택 플러그를 형성하고, 상기 그루브들 내에 제1 도전성 패턴들을 형성한 다음, 상기 제1 도전성 패턴들 및 상기 제2 절연막 상에 제3 절연막을 형성하고, 상기 제1 도전성 패턴들 사이의 상기 제3 절연막 및 제2 절연막을 식각하여 상기 제2 패드를 노출시키는 제2 콘택 홀을 형성한다. 상기 제2 콘택 홀을 채우면서 상기 제3 절연막 상에 제2 도전막을 형성한 후, 상기 제2 도전막을 연마하여 상기 제2 콘택 홀 내에 제2 도전성 패턴을 형성한다.

<50> 본 발명에 의하면, 별도의 질화물 하드 마스크를 형성하지 않고 다마신 공정을 이용하여 비트 라인과 같은 도전성 배선을 형성하므로, 식각 공정 동안에 발생할 수 있는 금속성 폴리머의 생성 문제를 해결할 수 있으므로 금속성 폴리머의 존재에 따른 반도체

소자의 불량을 최소화할 수 있으며, 질화물 하드 마스크를 형성하는 공정 및 이를 식각하는 공정이 요구되지 않기 때문에 공정의 간략화를 달성할 수 있는 동시에 반도체 제조 공정의 생산성을 향상시킬 수 있다. 또한, 다마신 공정을 이용하여 비트 라인을 형성하기 때문에 충분한 마진을 가지고 비트 라인들 사이에 셀프-얼라인 방식으로 균일한 사이즈를 가지는 캐패시터 콘택 홀을 형성할 수 있으며, 디자인 룰의 축소에 관계없이 스트리지 노드 콘택과 패드 사이의 저항 증가에 따른 불량을 크게 감소시킬 수 있다.

더욱이, 산화물 또는 저유전율을 갖는 물질로 이루어진 분리막 패턴이 도전성 배선과 콘택 플러그 사이에 형성되기 때문에 도전성 배선과 콘택 플러그 사이에 발생하는 기생 캐패시턴스를 크게 감소시킬 수 있을 뿐만 아니라 도전성 배선과 콘택 플러그 사이의 전기적인 단락을 방지할 수 있다. 따라서, 반도체 소자의 신뢰성을 향상시킬 수 있으며, 반도체 제조 공정의 생산성을 개선할 수 있다.

<51> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예들에 따른 다마신 공정을 이용한 반도체 소자 및 그 제조 방법을 상세하게 설명하지만 본 발명이 하기 실시예들에 의해 제한되거나 한정되는 것은 아니다.

<52> 도 3a 내지 도 3e는 본 발명의 일 실시예에 의한 다마신 공정을 이용한 반도체 장치의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다.

<53> 도 3a를 참조하면, 트랜지스터 구조물(도시되지 않음)이 형성된 반도체 기판(200) 상에 제1 절연막(205)을 형성한 다음, 제1 절연막(205)에 SAC 패드(210)를 형성한다. 이때, 제1 절연막(205)은 실리콘 산화물로 구성되며, SAC 패드(210)는 티타늄(Ti) 또는 텅스텐(W) 등을 포함하는 금속으로 이루어진다. 여기서, 제1 절연막(205)은

TOSZ(polysilazane), FOX(Flowable Oxide) 또는 블랙 다이아몬드(black diamond) 등과 같은 저유전율을 갖는 물질로 이루어질 수도 있다.

<54> 이어서, SAC 패드(210)가 형성된 제1 절연막(205) 상에 비트 라인을 위한 제2 절연막(215)을 형성한다. 제2 절연막(215)은 원자층 증착(ALD) 방법으로 증착된 실리콘 산화물, HDP(High Density Plasma) 산화물, 고온 산화물(HTO), 중온 산화물(MTO), 플라즈마 증대 화학 기상 증착(PECVD) 방법으로 증착된 TEOS(tetra-ethyl ortho-silicate), 또는 화학 기상 증착 방법으로 형성된 실리콘 산화물 등의 산화물로 이루어진다. 또한, TOSZ(polysilazane), FOX(Flowable Oxide) 또는 블랙 다이아몬드(black diamond) 등과 같은 저유전율을 갖는 물질을 사용하여 제2 절연막(215)을 형성할 수 있다. 즉, 제2 절연막(215)은 제1 절연막(205)과 동일한 물질을 사용하여 형성할 수 있다. 이 경우, 제2 절연막(215)은 후속하여 형성되는 비트 라인과 같은 도전성 배선(250)의 치수를 고려하여 도전성 배선(250)의 높이 보다 높은 높이를 가지도록 형성된다.

<55> 계속하여, 제2 절연막(215) 상에 제1 포토레지스트 막(도시되지 않음)을 도포한 다음, 사진 식각 공정으로 제1 포토레지스트 막을 패터닝하여 제2 절연막(215) 상에 제1 포토레지스트 패턴(220)을 형성한다.

<56> 다음에, 제1 포토레지스트 패턴(220)을 마스크로 이용하여 제2 절연막(215)을 부분적으로 식각함으로써, 제2 절연막(215)에 비트 라인과 같은 도전성 배선(250)을 위한 소정의 치수를 가지는 트렌치 내지 그루브(groove)(225)를 형성한다. 그리고, 애싱(ashing) 또는 스트립핑(stripping) 공정으로 제1 포토레지스트 패턴(220)을 제거한다.

<57> 도 3b를 참조하면, 제2 절연막(215)의 상부 및 그루브(225) 측벽 및 저면에 티타늄 질화물(TiN), 탄탈륨 질화물(TaN) 또는 보론 질화물(BN) 등과 같은 금속이나 비금속의

질화물을 약 300Å 이내의 두께로 증착하여 접착막(glue layer)(230)을 형성한다. 접착막(230)은 후속하여 형성되는 제1 도전막(235)의 제2 절연막(215)에 대한 접착력을 향상시켜 제1 도전막(235)이 제2 절연막(215)으로부터 분리되지 않도록 한다.

<58> 계속하여, 접착막(230) 상에 텅스텐, 탄탈륨 질화물, 티타늄 질화물, 알루미늄(Al), 니켈(Ni) 또는 코발트(Co) 등의 금속을 스퍼터링 방법, 진공 증착 방법 내지 화학 기상 증착 방법(CVD)으로 증착하여 제1 도전막(235)을 형성한다. 이 때, 제1 도전막(235)은 제2 절연막(215)에 형성된 그루브(225)를 채우면서 제2 절연막(215) 상에 형성된다.

<59> 한편, 본 발명의 다른 실시예에 따르면, 제1 도전막(235)은 텅스텐, 알루미늄, 니켈, 또는 코발트 등과 같은 금속을 물리 기상 증착(PVD) 방법으로 직접 제2 절연막(215) 상에 증착하여 형성한다. 즉, 제1 도전막(235)을 물리 기상 증착 방법으로 증착할 경우에는, 제1 도전막(235)이 제2 절연막(215)에 대하여 충분한 접착력을 가지므로 별도의 접착막(230)을 형성할 필요가 없게 된다. 이 때에도, 제1 도전막(235)은 그루브(225)를 채우면서 소정의 높이로 제2 절연막(215) 상에 형성된다.

<60> 도 3c를 참조하면, 제1 도전막(235), 접착막(230) 및 제2 절연막(215)을 화학 기계적 연마(CMP) 또는 에치 백(etch back) 방법을 포함하는 다마신 공정으로 연마하여 제2 절연막(215) 상에 형성된 제1 도전막(235)을 각 비트 라인(250)을 구성하는 도전체들로 노드(node) 분리함으로써, 제2 절연막(215)에 형성된 그루브(225)에 접착막 패턴(240) 및 제1 도전막 패턴(245)을 포함하는 비트 라인과 같은 도전성 배선(250)을 형성한다.

<61> 이어서, 도전성 배선(250)이 형성된 제2 절연막(215)의 전면에, 원자층 증착(ALD) 방법으로 증착된 실리콘 산화물, 고온 산화물(HTO), 중온 산화물(MTO), 플라즈마 증대

화학 기상 증착(PECVD) 방법으로 증착된 TEOS, 또는 열화학 증착 방법이나 화학 기상 증착 방법으로 형성된 실리콘 산화물 등을 포함하는 산화물이나 TOSZ, FOX 또는 블랙 다이아몬드 등과 같은 저유전율을 갖는 물질로 이루어진 제3 절연막(255)을 형성한다. 즉, 본 실시예에 따르면, 실리콘 산화물 또는 저유전 물질 등과 같이 동일한 물질을 사용하여 제1, 제2 및 제3 절연막(202, 215, 255)을 형성할 수 있다. 또한, TOSZ, FOX 또는 블랙 다이아몬드와 같은 저유전율을 갖는 물질을 기타 반도체 장치에 포함되는 절연막으로도 적용할 수 있다.

<62> 도 3d를 참조하면, 제3 절연막(255) 상에 제2 포토레지스트 막(도시되지 않음)을 도포한 다음, 제2 포토레지스트 막을 패터닝하여 제3 절연막(255) 상에 콘택 홀(260)을 위한 제2 포토레지스트 패턴(도시되지 않음)을 형성한다.

<63> 계속하여, 캐패시터의 콘택 플러그(280)를 형성하기 위하여, 상기 제2 포토레지스트 패턴을 마스크로 이용하여 셀프-얼라인 방식으로 제3 절연막(255) 및 제2 절연막(215)을 부분적으로 식각함으로써, 제3 절연막(255) 및 제2 절연막(215)에 그 아래의 SAC 패드(210)를 노출시키는 콘택 홀(260)을 형성한다. 콘택 홀(260)은 제2 절연막(215)에 형성된 비트 라인과 같은 도전성 배선(250)들 사이에 위치한다.

<64> 본 실시예에 있어서, 셀프-얼라인 방식으로 제3 및 제2 절연막(255, 215)에 콘택 홀(260)을 형성하는 동안 도전성 배선(250)의 제1 도전막 패턴(245)이 노출되더라도 제3 및 제2 절연막(255, 215)과 제1 도전막 패턴(245)의 식각 선택비의 차이로 인하여 제1 도전막 패턴(245)의 손상을 최소화 하면서 콘택 홀(260)을 형성할 수 있다. 예를 들면, 제1 도전막 패턴(245)이 텅스텐으로 구성되고 제3 및 제2 절연막(255, 215)이 산화물로 이루어질 경우, 텅스텐과 산화물의 식각 선택비는 약 20 : 1 이상이기 때문에 텅스텐 제1

도전막 패턴(245)에 거의 손상을 입히지 않으면서 산화물 제3 및 제2 절연막(255, 215)을 식각하여 SAC 패드(210)를 노출시키는 콘택 홀(260)을 형성할 수 있다.

<65> 이어서, 상기 콘택 홀(260)을 채우도록 제3 절연막(255) 상에 고온 산화물 내지 중온 산화물 등을 포함하는 실리콘 산화물 또는 실리콘 질화물을 포함하는 질화물을 사용하여 약 50~600Å 정도의 두께를 가지는 분리막(265)을 형성한다. 분리막(265)은 원자층 증착 방법, 저압 화학 기상 증착 방법, 열산화법, 또는 플라즈마 증대 화학 기상 증착 방법으로 형성한다.

<66> 도 3e를 참조하면, 분리막(265)이 콘택 홀(260)의 내측에만 존재하도록 사진 식각 공정으로 콘택 홀(260)의 저면 및 제3 절연막(265)의 상면에 형성된 분리막(265)을 제거하여, 콘택 홀(260)의 측벽에 분리막 패턴(270)을 형성한다. 콘택 홀(260)의 내측벽에 형성된 분리막 패턴(270)은 후속하여 형성되는 제2 도전막 패턴(275)과 비트 라인과 같은 도전성 배선(250)을 전기적으로 절연시키는 역할을 한다.

<67> 이어서, 분리막 패턴(270)이 위치하는 콘택 홀(260)을 채우면서 제3 절연막(255) 상에 텅스텐, 티타늄 질화물, 탄탈륨 질화물, 또는 폴리실리콘 등을 사용하여 제2 도전막(도시되지 않음)을 형성한다.

<68> 계속하여, 화학 기계적 연마 또는 에치 백 공정으로 제2 도전막을 연마하여 제2 도전막을 각 캐패시터의 스토리지 노드로 분리시킴으로써, 콘택 홀(260)에 분리막 패턴(270) 및 제2 도전막 패턴(275)으로 이루어지는 콘택 플러그(280)를 형성한다.

<69> 이후에, 통상적인 하부 전극, 유전막 및 플레이트 전극 형성 공정을 거쳐 콘택 플러그(260)를 통하여 SAC 패드(210)에 전기적으로 연결되는 캐패시터를 완성한다.

<70> 도 4는 본 발명의 다른 실시예에 따른 다마신 공정을 이용한 반도체 소자의 평면도를 도시한 것이며, 도 5는 도 4의 반도체 소자를 비트 라인을 중심으로 자른 B₁-B₂ 선에 따른 단면도를 도시한 것이다. 도 4 및 도 5에 있어서, DRAM과 같은 반도체 소자를 예시하였지만, 이에 의하여 본 발명이 한정되는 것은 아니다.

<71> 도 4 및 도 5를 참조하면, 소자 분리막(305)에 의하여 활성 영역(active region)(310)이 정의된 반도체 기판(300) 상에 워드 라인(word line)으로 기능하는 게이트 구조물들(315), 캐패시터의 콘택 영역인 소오스 영역들(320) 및 비트 라인 콘택 영역인 드레인 영역들(325)을 포함하는 MOS 트랜지스터들이 형성된다. 각 MOS 트랜지스터들의 게이트 구조물들(315) 사이의 소오스 및 드레인 영역들(320, 325) 상에는 캐패시터 및 비트 라인이 전기적으로 접속되는 제1 및 제2 패드들(330, 335)이 형성된다.

<72> MOS 트랜지스터가 마련된 반도체 기판(300)의 상부에는 접착막 패턴(345) 및 제1 도전막 패턴(350)으로 이루어진 비트 라인들(340)이 형성된다. 이 경우, 전술한 바와 같이 제1 도전막 패턴(350)을 감싸는 접착막 패턴(345)은 구비되지 않을 수도 있다.

<73> 상기 비트 라인들(340) 사이에는 비트 라인들(340)에 의해 정의되는 캐패시터의 스토리지 노드 콘택 홀(355)이 형성된다. 스토리지 노드 콘택 홀(355)은 캐패시터의 콘택 영역인 소오스 영역(320)에 접촉되는 제1 패드(330)를 노출시킨다. 스토리지 노드 콘택 홀(355)에는 캐패시터의 스토리지 노드 콘택(360)이 형성된다. 이 경우, 스토리지 노드 콘택(360)은 스토리지 노드 콘택 홀(355)의 측벽에 형성된 분리막 패턴(365) 및 스토리지 노드 콘택 홀(355)의 내부를 채우는 제2 도전막 패턴(370)을 포함한다. 본 실시예에 있어서, 스토리지 노드 콘택(360)은 콘택 플러그의 형태로 형성할 수 있으며, 통상의 사진 공정에 의해 스토리지 전극 패턴으로 형성될 수도 있다.

- <74> 도 6a 내지 도 9b는 본 발명의 다른 실시예에 다마신 공정을 이용한 반도체 소자의 제조 방법을 설명하기 위한 단면도들을 도시한 것이다. 도 6a 내지 도 9b에 있어서, 각 a도는 도 4의 반도체 장치를 A₁-A₂ 선에 따른 단면도이며, 각 b도는 도 4의 반도체 장치를 B₁-B₂ 선에 따른 단면도이다. 도 6a 내지 도 9b에 있어서, 도 4 및 도 5와 동일한 부재들에 대해서는 동일한 참조번호를 사용한다.
- <75> 도 6a 및 도 6b는 반도체 기판 상에 제1 및 제2 패드들을 형성하는 단계를 나타낸다.
- <76> 도 6a 및 도 6b를 참조하면, STI 공정과 같은 소자 분리 공정을 이용하여 반도체 기판(300)에 소자 분리막(305)을 형성하여 기판(300)에 활성 영역(310)(도 4 참조)을 정의한다.
- <77> 계속하여, 열 산화(thermal oxidation) 공정으로 활성 영역(310)의 표면에 얇은 게이트 산화막들(380)을 형성한 다음, 게이트 산화막들(380)의 상부에 워드 라인으로 기능하는 게이트 전극들(385)을 형성한다. 이 경우, 게이트 전극들(385)은 확산 공정, 이온 주입 공정 또는 인-시튜 도핑(in-situ doping) 공정 등을 적용하여 고농도의 불순물로 도핑된 폴리실리콘 막 및 텅스텐 실리사이드 막을 포함하는 폴리사이드 구조를 가진다.
- <78> 이어서, 각 게이트 전극(385) 상에 실리콘 질화물로 이루어진 캡핑막(390)을 형성한 다음, 게이트 전극들(385)의 측벽에 실리콘 질화물로 구성된 스페이서들(395)을 형성하여 게이트 산화막(380), 게이트 전극(385), 캡핑막(390) 및 스페이서(395)를 포함하는 게이트 구조물들(315)을 형성한다.

- <79> 다음에, 게이트 구조물(315)을 마스크로 이용하여 불순물을 이온 주입함으로써, 기판(300)의 활성 영역(310)에 소오스 및 드레인 영역들(320, 325)을 형성하여 기판(300)상에 게이트 구조물들(315) 및 소오스/드레인 영역들(320, 325)을 포함하는 MOS 트랜지스터들을 형성한다. 이 때, 소오스 및 드레인 영역들(320, 325) 가운데 하나는 캐패시터의 스토리지 전극이 접촉되는 캐패시터 콘택 영역이 되며, 다른 하나는 비트 라인이 접촉되어질 비트라인 콘택 영역이 된다. 예를 들면, 소오스 영역(320)은 캐패시터의 스토리지 노드 콘택 영역에 해당하고, 드레인 영역(325)은 비트 라인 콘택 영역에 해당된다.
- <80> 계속하여, MOS 트랜지스터들이 마련된 기판(300)의 전면에 BPSG, USG, 또는 SOG 등과 같은 산화물이나 TOSZ, FOX 또는 블랙 다이아몬드 등의 저유전율을 갖는 물질로 구성된 제1 절연막(400)을 형성한 다음, 게이트 구조물(315)의 캡핑막(390)을 스토퍼(stopper)로 하여 화학 기계적 연마 공정으로 제1 절연막(400)을 평탄화시킨다.
- <81> 이어서, 산화물로 이루어진 제1 절연막(400)과 질화물로 구성된 캡핑막(304) 사이의 식각 선택비가 높은 식각 조건으로 제1 절연막(400)을 식각하여, 게이트 구조물(315)들 사이의 제1 절연막(400)에 게이트 구조물들(315)에 대하여 셀프-얼라인 방식으로 콘택 홀(도시되지 않음)들을 형성한다. 제1 절연막(400)에 상기 콘택 홀들이 형성되면 그 아래에 위치하는 MOS 트랜지스터들의 소오스 및 드레인 영역들(320, 325)이 부분적으로 노출된다.
- <82> 계속하여, 상기 콘택 홀을 채우면서 제1 절연막(400) 및 캡핑막(390) 상에 고농도의 불순물로 도핑된 폴리실리콘 막을 적층한 다음, 캡핑막(390)이 노출될 때까지 적층된 폴리실리콘 막을 제거한다. 이에 따라, 콘택 홀들의 내부에 콘택 홀들을 통하여 노출되

는 소오스 및 드레인 영역들(320, 320)에 각기 접촉되는 제1 및 제2 패드들(330, 335)이 형성된다.

<83> 도 7a 및 도 7b는 상기 결과물이 형성된 반도체 기판의 상부에 제2 절연막 및 비트 라인을 형성하는 단계를 나타낸다.

<84> 도 7a 및 도 7b를 참조하면, MOS 트랜지스터들 및 제1 및 제2 패드들(320, 325)이 형성된 반도체 기판(300)의 전면에 제2 절연막(405)을 형성한다. 제2 절연막(405)은 원자층 증착 방법으로 증착된 실리콘 산화물, HDP 산화물, 고온 산화물, 중온 산화물, 플라즈마 증대 화학 기상 증착 방법으로 증착된 TEOS, 또는 화학 기상 증착 방법으로 형성된 실리콘 산화물 등의 산화물로 구성된다. 또한, 제2 절연막(405)은 TOSZ, FOX, 또는 블랙 다이아몬드 등과 같은 저유전율을 갖는 물질로 이루어질 수 있다. 이 때, 제2 절연막(405)은 후속하여 형성되는 비트 라인(340)의 사이즈를 고려하여 비트 라인(340) 보다 높은 높이로 형성된다.

<85> 이어서, 사진 식각 공정을 이용하여 비트 라인들(340)이 형성될 위치를 고려하여 제2 절연막(405)을 부분적으로 식각함으로써, 제2 절연막(405)에 그루브들 혹은 트렌치들(도시되지 않음)을 형성한다. 이와 동시에, 제1 절연막(400)을 부분적으로 식각하여 제2 절연막(405)의 트렌치들 아래로 제2 패드들(325)을 노출시키는 비트 라인 콘택 홀들(390)을 형성한다.

<86> 계속하여, 비트 라인 콘택 홀들(390)과 제2 절연막(405)의 그루브들의 측벽들 및 저면들에 티타늄 질화물, 탄탈륨 질화물 또는 보론 질화물 등과 같은 금속 혹은 비금속의 질화물을 약 300Å 이내의 두께로 증착하여 접착막(도시되지 않음)을 형성한다. 이 때, 접착막은 후속하여 형성되는 비트 라인용 제1 도전막의 제2 및 제2 절연막(400,

405)에 대한 접착력을 향상시켜 비트 라인용 제1 도전막이 제1 및 제2 절연막(400, 405)으로부터 분리되지 않도록 한다.

<87> 다음에, 비트 라인 콘택 홀들(390) 및 상기 그루브들 내에 형성된 접착막 상에 텅스텐, 탄탈륨 질화물, 티타늄 질화물, 알루미늄, 니켈 또는 코발트 등의 금속을 스퍼터링 방법, 진공 증착 방법, 물리 기상 증착 방법 내지 화학 기상 증착 방법으로 증착하여 비트 라인용 제1 도전막(도시되지 않음)을 형성한다. 비트 라인용 제1 도전막은 제1 절연막(400)의 비트 라인 콘택 홀들(390) 및 제2 절연막(405)의 그루브들을 채우면서 제2 절연막(405) 상에 형성된다. 한편, 전술한 바와 마찬가지로, 비트 라인용 제1 도전막을 물리 기상 증착 방법으로 증착할 경우에는, 비트 라인용 제1 도전막이 제1 및 제2 절연막(400, 405)에 대하여 충분한 접착력을 가지므로 별도의 접착막을 형성할 필요가 없다.

<88> 이어서, 비트 라인용 제1 도전막, 접착막 및 제2 절연막(405)을 화학 기계적 연마 또는 에치 백 방법으로 연마하여 제2 절연막(405) 상에 형성된 비트 라인용 제1 도전막을 각 비트 라인(340)을 구성하는 제1 도전막 패턴들로 노드(node) 분리함으로써, 비트 라인 콘택 홀들(390) 내에 비트 라인 콘택들(도시되지 않음)을 형성함과 동시에 제2 절연막(405)의 그루브들 내에 접착막 패턴들(345) 및 제1 도전막 패턴들(350)을 포함하는 비트 라인들(340)을 형성한다.

<89> 도 8a 및 도 8b를 참조하면, 비트 라인들(340)이 형성된 제2 절연막(405)의 전면에서, 원자층 증착 방법으로 증착된 실리콘 산화물, 고온 산화물, 중온 산화물, 플라즈마 증대 화학 기상 증착 방법으로 증착된 TEOS, 또는 열화학 증착 방법이나 화학 기상 증착 방법으로 형성된 실리콘 산화물 등을 포함하는 산화물이나 TOSZ, FOX 또는 블랙 다이아몬드 등과 같은 저유전율을 갖는 물질로 이루어진 제3 절연막(410)을 형성한다.

<90> 이어서, 사진 식각 공정을 이용하여 셀프-얼라인 방식으로 제3 절연막(410) 및 제2 절연막(405)을 부분적으로 식각함으로써, 제3 및 제2 절연막(410, 405)에 그 아래의 제1 패드들(330)을 노출시키는 스토리지 노드 콘택 홀들(355)을 형성한다. 스토리지 노드 콘택 홀들(355)은 제2 절연막(405)에 형성된 비트 라인들(340) 사이에 위치한다. 제3 및 제2 절연막(410, 405)에 스토리지 노드 콘택 홀들(355)을 형성하는 동안 비트 라인들(340)의 제1 도전막 패턴들(350)이 노출되더라도 제3 및 제2 절연막(410, 405)과 제1 도전막 패턴들(350)의 식각 선택비의 차이로 인하여 제1 도전막 패턴들(350)의 손상을 최소화 하면서 스토리지 노드 콘택 홀들(355)을 형성할 수 있다. 즉, 텅스텐 제1 도전막 패턴들(350)과 산화물 제3 및 제2 절연막(410, 405) 사이의 식각 선택비는 약 20 : 1 이상이기 때문에 텅스텐 제1 도전막 패턴들(350)에 거의 손상을 입히지 않으면서 산화물 제3 및 제2 절연막(410, 405)을 식각하여 제1 패드들(330)을 노출시키는 스토리지 노드 콘택 홀들(355)을 형성할 수 있다.

<91> 도 9a 및 도 9b를 참조하면, 스토리지 노드 콘택 홀들(355)을 채우면서 제3 절연막(410) 상에 고온 산화물 내지 중온 산화물 등을 포함하는 실리콘 산화물 또는 실리콘 질화물을 포함하는 질화물을 사용하여 약 50~600Å 정도의 두께를 가지는 분리막(도시되지 않음)을 형성한다. 이 경우, 상기 분리막은 원자층 증착 방법, 저압 화학 기상 증착 방법, 열산화법, 또는 플라즈마 증대 화학 기상 증착 방법으로 형성한다.

<92> 계속하여, 상기 분리막이 스토리지 노드 콘택 홀(355)의 내측벽에만 존재하도록 사진 식각 공정으로 스토리지 노드 콘택 홀(355)의 저면 및 제3 절연막(410)의 상면에 형성된 분리막을 제거하여, 각 스토리지 노드 콘택 홀(355)의 측벽에 분리막 패턴(365)을 형성한다. 스토리지 노드 콘택 홀(365)의 내측벽에 형성된 분리막 패턴(365)은 후속하

여 형성되는 제2 도전막 패턴(370)과 비트 라인들(340)을 전기적으로 절연시키는 역할을 한다.

<93> 이어서, 분리막 패턴(365)이 위치하는 스토리지 노드 콘택 홀(355)을 채우면서 제3 절연막(410) 상에 텅스텐, 티타늄 질화물, 탄탈륨 질화물, 또는 폴리실리콘 등을 적층하여 캐패시터용 제2 도전막(도시되지 않음)을 형성한다.

<94> 다음에, 화학 기계적 연마 또는 에치 백 공정으로 제2 도전막을 연마하여 제2 도전막을 각 캐패시터의 스토리지 노드별로 분리시킴으로써, 스토리지 노드 콘택 홀(355)에 분리막 패턴(365) 및 제2 도전막 패턴(370)으로 이루어지는 스토리지 노드 콘택(360)을 형성한다.

<95> 그리고, 통상적인 하부 전극, 유전막 및 플레이트 전극 형성 공정들을 거쳐, 스토리지 노드 콘택(360)을 통하여 제1 패드(330)에 전기적으로 연결되는 캐패시터를 완성한다.

【발명의 효과】

<96> 상술한 바와 같이 본 발명에 따르면, 별도의 질화물 하드 마스크를 형성하지 않고 다마신 공정을 이용하여 비트 라인과 같은 도전성 배선을 형성한다. 이에 따라, 식각 공정 동안에 발생할 수 있는 금속성 폴리머의 생성 문제를 해결할 수 있으므로 금속성 폴리머의 존재에 따른 반도체 소자의 불량을 최소화할 수 있다. 또한, 질화물 하드 마스크를 형성하는 공정 및 이를 식각하는 공정이 요구되지 않기 때문에 공정의 간략화를 달성할 수 있는 동시에 반도체 제조 공정의 생산성을 향상시킬 수 있다.

- <97> 또한, 다마신 공정을 이용하여 비트 라인을 형성하기 때문에 충분한 마진을 가지고 비트 라인들 사이에 셀프-얼라인 방식으로 균일한 사이즈를 가지는 캐패시터 콘택 홀을 형성할 수 있으며, 디자인 룰의 축소에 관계없이 스토리지 노드 콘택과 패드 사이의 저항 증가에 따른 불량을 크게 감소시킬 수 있다.
- <98> 더욱이, 산화물 또는 저유전율을 갖는 물질로 이루어진 분리막 패턴이 도전성 배선과 콘택 플러그 사이에 형성되기 때문에 도전성 배선과 콘택 플러그 사이에 발생하는 기생 캐패시턴스를 크게 감소시킬 수 있을 뿐만 아니라 도전성 배선과 콘택 플러그 사이의 전기적인 단락을 방지할 수 있다. 따라서, 반도체 소자의 신뢰성을 향상시킬 수 있으며, 반도체 제조 공정의 생산성을 개선할 수 있다.
- <99> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 형성되며, 제1 및 제2 패드를 포함하는 제1 절연막 패턴;

상기 제1 절연막 패턴 상에 형성되며, 소정 형상의 그루브 또는 트렌치들을 포함하는 제2 절연막 패턴; 및

상기 그루브 또는 트렌치들 내에 형성되며, 상기 제1 패드에 전기적으로 연결되는 제1 도전성 패턴들을 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 2】

제 1 항에 있어서, 상기 제1 및 제2 절연막 패턴은 각기 실리콘 산화물, HDP 산화물, 고온 산화물, 중온 산화물 및 TEOS로 이루어진 그룹 중에서 선택된 어느 하나의 산화물을 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 3】

제 1 항에 있어서, 상기 제1 및 제2 절연막 패턴은 각기 TOSZ, FOX(Flowable Oxide) 및 블랙 다이아몬드(black diamond)로 이루어진 그룹 중에서 선택된 어느 하나의 저유전 물질을 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 4】

제 1 항에 있어서, 상기 그루브 또는 트렌치들의 내벽과 상기 제1 도전성 패턴들 사이에는 접착막 패턴들이 형성되는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 5】

제 4 항에 있어서, 상기 접착막 패턴은 티타늄 질화물, 탄탈륨 질화물 및 보론 질화물로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 6】

제 4 항에 있어서, 상기 접착막 패턴은 300Å 이하의 두께를 가지는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 7】

제 1 항에 있어서, 상기 제1 도전성 패턴은 텅스텐, 탄탈륨 질화물, 티타늄 질화물, 코발트, 니켈 및 알루미늄으로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 8】

제 1 항에 있어서, 상기 제1 도전성 패턴들 및 상기 제2 절연막 패턴 상에 형성된 제3 절연막 패턴을 더 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 9】

제 8 항에 있어서, 상기 제3 절연막 패턴은 실리콘 산화물, HDP 산화물, TEOS, 증온 산화물 및 고온 산화물로 이루어진 그룹 중에서 선택된 어느 하나의 산화물을 포함하거나, TOSZ, FOX 및 블랙 다이아몬드로 이루어진 그룹 중에서 선택된 어느 하나의 저유전 물질을 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 10】

제 8 항에 있어서, 상기 제1 도전성 패턴들 사이의 상기 제3 절연막 패턴 및 상기 제2 절연막 패턴을 관통하여 형성된 콘택 홀 및 상기 콘택 홀 내에 형성되어 상기 제2 패드에 전기적으로 연결되는 제2 도전성 패턴을 더 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 11】

제 10 항에 있어서, 상기 제1 도전성 패턴들은 메모리용 반도체 소자의 비트 라인이며, 상기 제2 도전성 패턴은 캐패시터의 스토리지 노드 전극인 것을 특징으로 하는 반도체 장치의 배선.

【청구항 12】

제 10 항에 있어서, 상기 제2 도전성 패턴은 텅스텐, 티타늄 질화물, 탄탈륨 질화물 및 폴리실리콘으로 이루어진 그룹 중에서 선택된 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 13】

제 10 항에 있어서, 상기 콘택 홀의 내벽과 상기 제2 도전성 패턴 사이에 형성되어 상기 제1 도전성 패턴들과 상기 제2 도전성 패턴을 전기적으로 절연시키는 분리막 패턴을 더 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 14】

제 13 항에 있어서, 상기 분리막 패턴은 실리콘 산화물 또는 실리콘 질화물을 포함하는 것을 특징으로 하는 반도체 장치의 배선.

【청구항 15】

제 13 항에 있어서, 상기 분리막 패턴은 50~600Å의 두께를 가지는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 16】

반도체 기판 상에 제1 및 제2 패드를 포함하는 제1 절연막을 형성하는 단계;
상기 제1 절연막 상에 제2 절연막을 형성하는 단계;
상기 제2 절연막에 소정 형상의 그루브들을 형성하는 단계;
상기 그루브들을 채우면서 상기 제2 절연막 상에 제1 도전막을 형성하는 단계; 및
상기 제1 도전막을 연마하여 상기 그루브들 내에 상기 제1 패드에 전기적으로 연결되는 제1 도전성 패턴들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 17】

제 16 항에 있어서, 상기 제1 및 제2 절연막은 원자층 증착 방법, 화학 기상 증착 방법, 또는 플라즈마 증대 화학 기상 증착 방법으로 형성되는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 18】

제 16 항에 있어서, 상기 제1 도전막을 형성하기 전에 상기 그루브들 내에 접착막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 19】

제 18 항에 있어서, 상기 접착막은 상기 제1 도전막과 함께 연마되어 상기 그루브들의 내벽과 상기 제1 도전성 패턴들 사이에 각기 접착막 패턴들이 형성되는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 20】

제 16 항에 있어서, 상기 제1 도전성 패턴들 및 상기 제2 절연막 상에 제3 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 21】

제 20 항에 있어서, 상기 제3 절연막은 원자층 증착 방법, 화학 기상 증착 방법, 또는 플라즈마 증대 화학 기상 증착 방법으로 형성되는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 22】

제 20 항에 있어서, 상기 제1 도전성 패턴들 사이의 상기 제3 절연막 및 제2 절연막을 셀프-얼라인 방식으로 식각하여 상기 제2 패드를 노출시키는 콘택 홀을 형성하는 단계;

상기 콘택 홀 및 상기 제3 절연막 상에 분리막을 형성하는 단계;

상기 분리막을 식각하여 상기 콘택 홀의 내벽에 분리막 패턴을 형성하는 단계;

상기 콘택 홀을 매립하는 제2 도전막을 형성하는 단계; 및

상기 제2 도전막을 연마하여 상기 제2 패드에 전기적으로 연결되는 제2 도전성 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 23】

제 22 항에 있어서, 상기 분리막은 원자층 증착 방법, 화학 기상 증착 방법 또는 저압 화학 기상 증착 방법으로 형성되는 것을 특징으로 하는 반도체 장치의 배선 형성 방법.

【청구항 24】

트랜지스터 구조물이 형성된 반도체 기판;

상기 반도체 기판 상에 형성되며, 상기 트랜지스터 구조물의 제1 및 제2 영역에 각기 접촉되는 제1 및 제2 패드를 포함하는 제1 절연막 패턴;

상기 제1 절연막 패턴 상에 형성되며, 소정 형상의 그루브들을 포함하는 제2 절연막 패턴;

상기 그루브들 내에 형성된 제1 도전성 패턴들;

상기 제2 절연막 패턴을 관통하여 형성되어 상기 제1 패드를 노출시키는 제1 콘택 홀;

상기 제1 콘택 홀 내에 형성되어 상기 제1 도전성 패턴들을 상기 제1 패드에 전기적으로 연결시키는 제1 콘택 플러그;

상기 제1 도전성 패턴들 및 상기 제2 절연막 패턴 상에 형성된 제3 절연막 패턴;

상기 제1 도전성 패턴들 사이의 상기 제3 절연막 패턴 및 제2 절연막 패턴을 관통하여 형성되어 상기 제2 패드를 노출시키는 제2 콘택 홀; 및

상기 제2 콘택 홀 내에 형성되어 상기 제2 패드에 전기적으로 연결되는 제2 콘택 플러그를 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 25】

제 24 항에 있어서, 상기 그루부들의 내벽 및 상기 제1 도전성 패턴들 사이에 각기 형성된 접착막 패턴들을 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 26】

제 24 항에 있어서, 상기 제2 콘택 홀의 내벽 및 상기 제2 콘택 플러그 사이에 형성된 분리막 패턴을 더 포함하는 것을 특징으로 하는 반도체 장치.

【청구항 27】

제 24 항에 있어서, 상기 제1 도전성 패턴은 메모리용 반도체 소자의 비트 라인이며, 상기 제2 도전성 패턴은 캐패시터의 스토리지 노드 전극인 것을 특징으로 하는 반도체 장치.

【청구항 28】

반도체 기판 상에 트랜지스터 구조물을 형성하는 단계;

상기 반도체 기판 상에 상기 트랜지스터 구조물의 제1 및 제2 영역에 각기 접촉되는 제1 및 제2 패드를 포함하는 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 제2 절연막을 형성하는 단계;

상기 제2 절연막을 식각하여 상기 제2 절연막에 소정 형상의 그루브들을 형성하고, 상기 제1 패드를 노출시키는 제1 콘택 홀을 형성하는 단계;

상기 제1 콘택 홀 및 상기 그루브들을 채우면서 상기 제2 절연막 상에 제1 도전막을 형성하는 단계;

상기 제1 도전막을 연마하여 상기 제1 콘택 홀 내에 제1 콘택 플러그를 형성하며,
상기 그루브들 내에 제1 도전성 패턴들을 형성하는 단계;

상기 제1 도전성 패턴들 및 상기 제2 절연막 상에 제3 절연막을 형성하는 단계;

상기 제1 도전성 패턴들 사이의 상기 제3 절연막 및 제2 절연막을 식각하여 상기
제2 패드를 노출시키는 제2 콘택 홀을 형성하는 단계;

상기 제2 콘택 홀을 채우면서 상기 제3 절연막 상에 제2 도전막을 형성하는 단계;
및

상기 제2 도전막을 연마하여 상기 제2 콘택 홀 내에 제2 도전성 패턴을 형성하는
단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 29】

제 28 항에 있어서, 상기 제1 도전성 패턴들을 형성하기 전에 상기 그루브들 내에
접착막을 형성하는 단계를 및 상기 접착막과 상기 제1 도전막을 함께 연마하여 상기 그
루브들의 내벽 및 상기 제1 도전성 패턴들 사이에 각기 접착막 패턴들을 형성하는 단계
를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

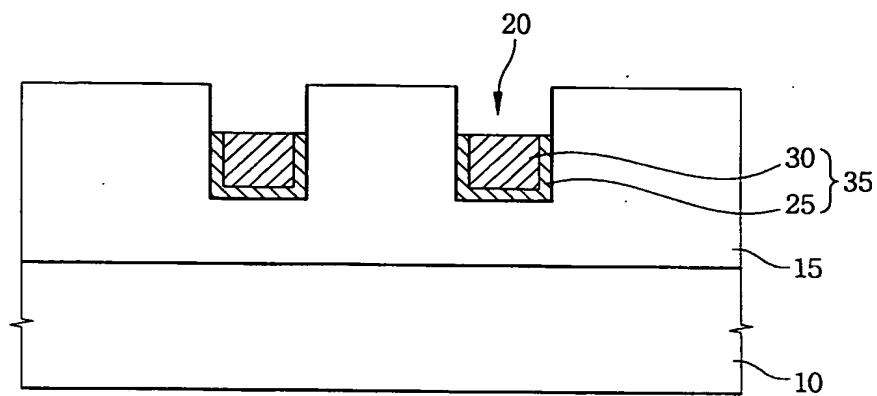
【청구항 30】

제 28 항에 있어서, 상기 제2 콘택 플러그를 형성하기 전에 상기 제2 콘택 홀 내에
분리막을 형성하는 단계 및 상기 분리막을 식각하여 상기 제2 콘택홀의 내벽과 상기 제
2 콘택 플러그 사이에 분리막 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는
반도체 장치의 제조 방법.

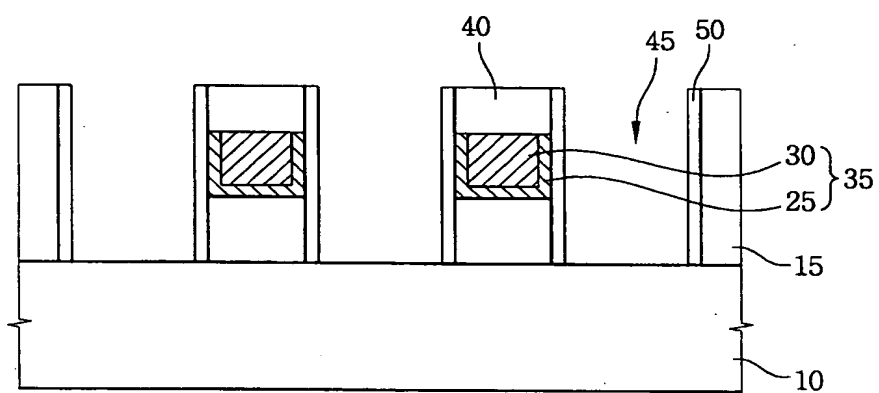
•

【도면】

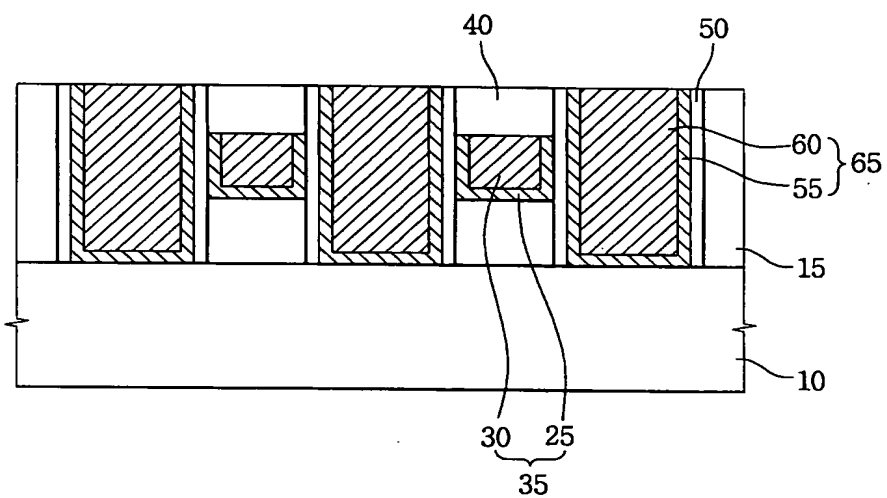
【도 1a】



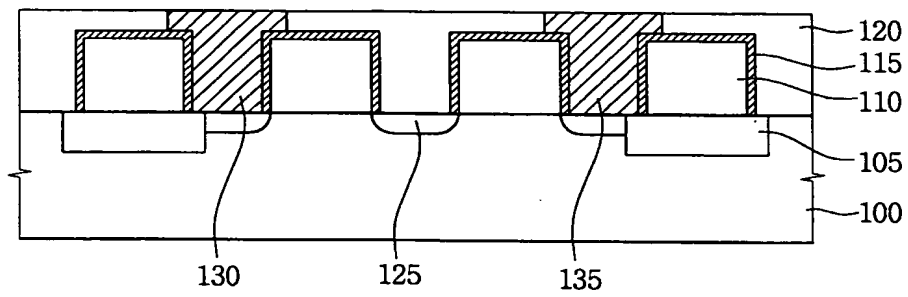
【도 1b】



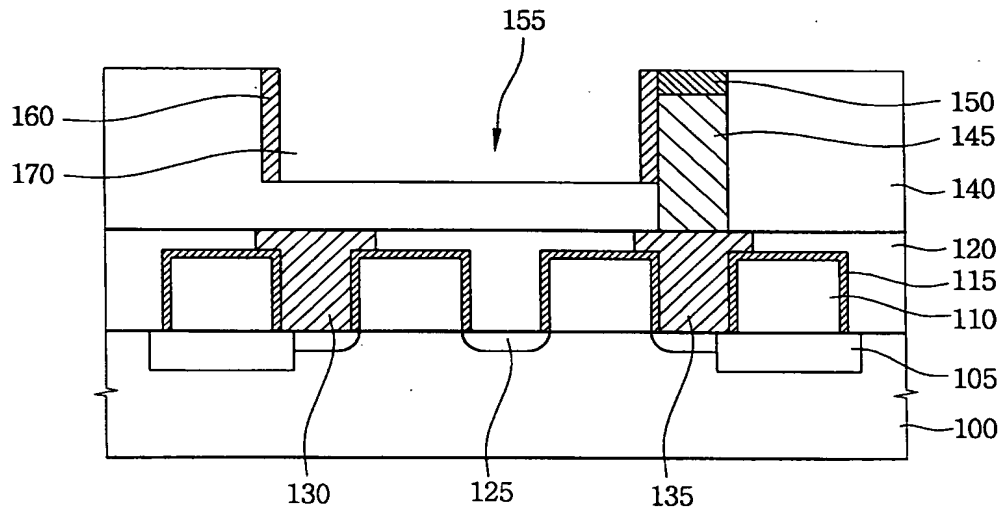
【도 1c】



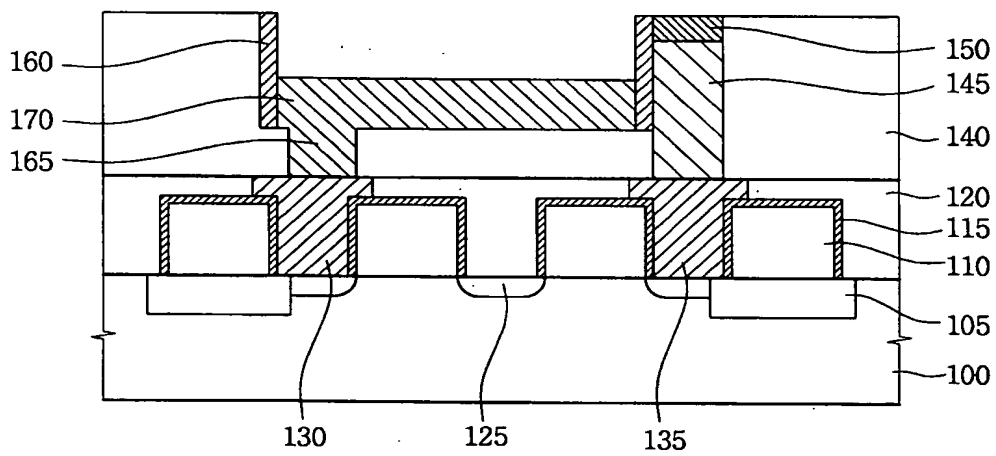
【도 2a】



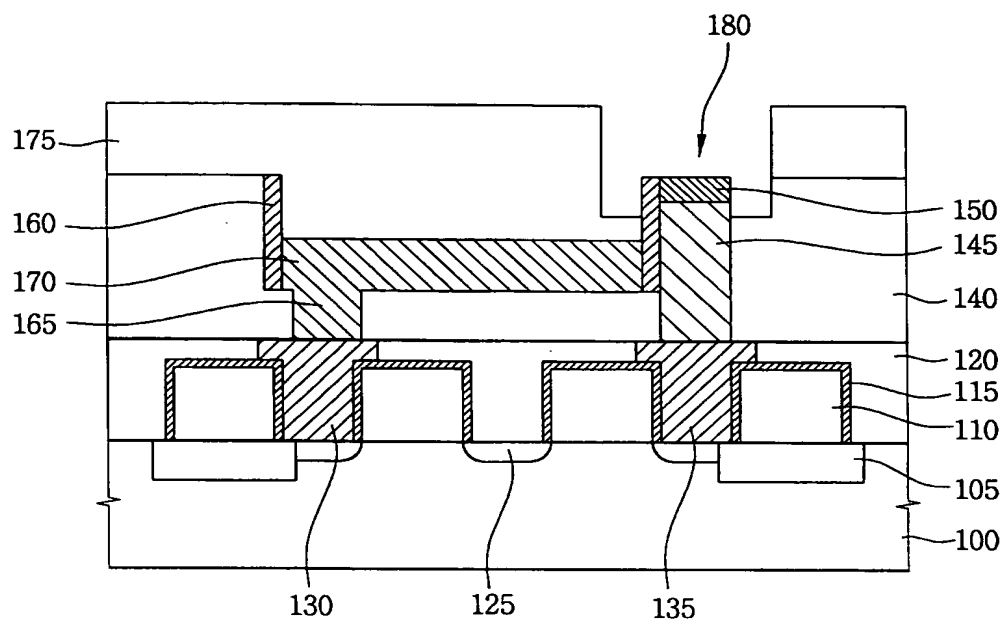
【도 2b】



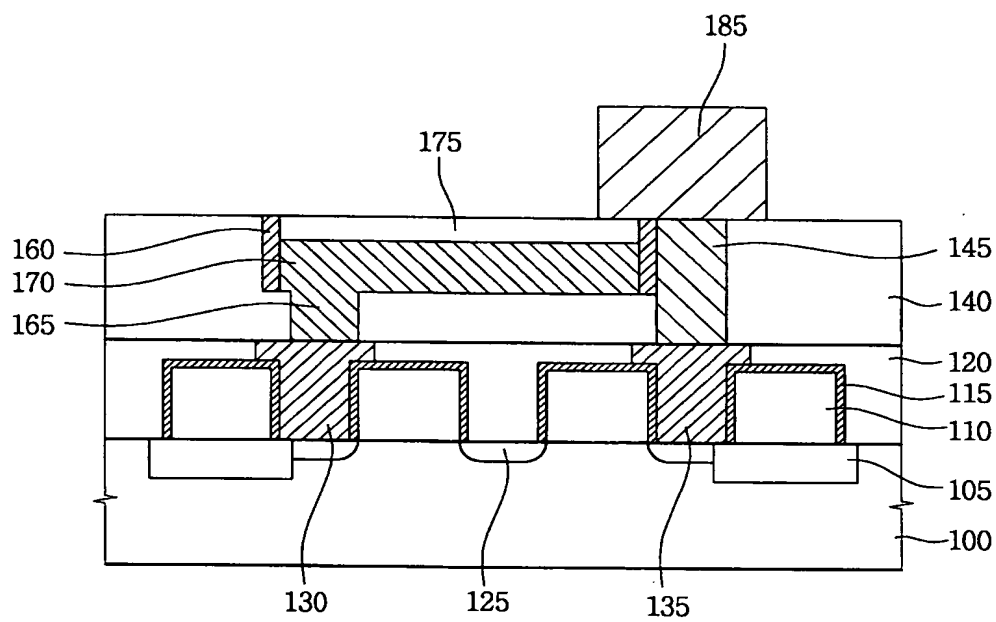
【도 2c】



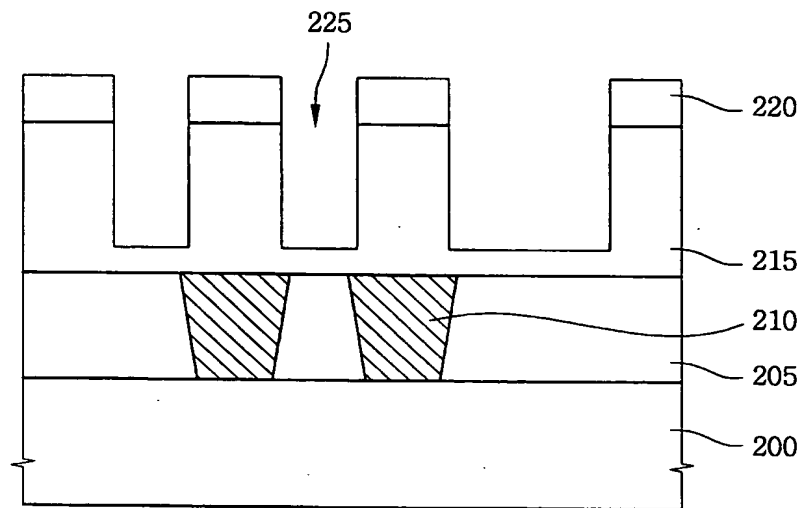
【도 2d】



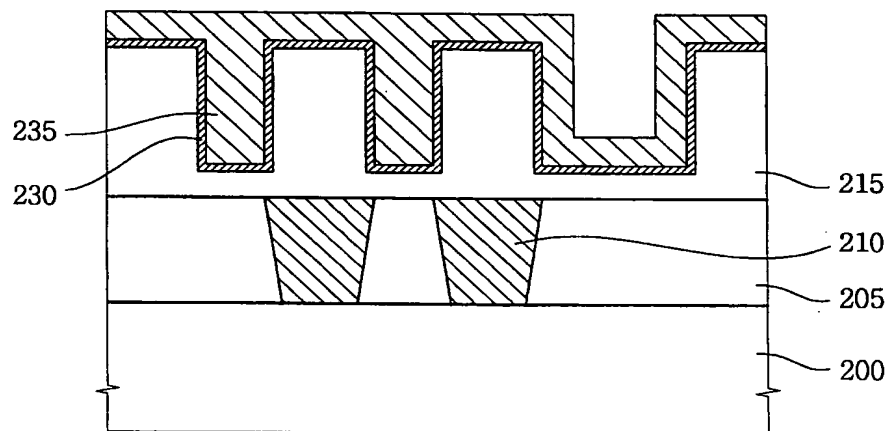
【도 2e】



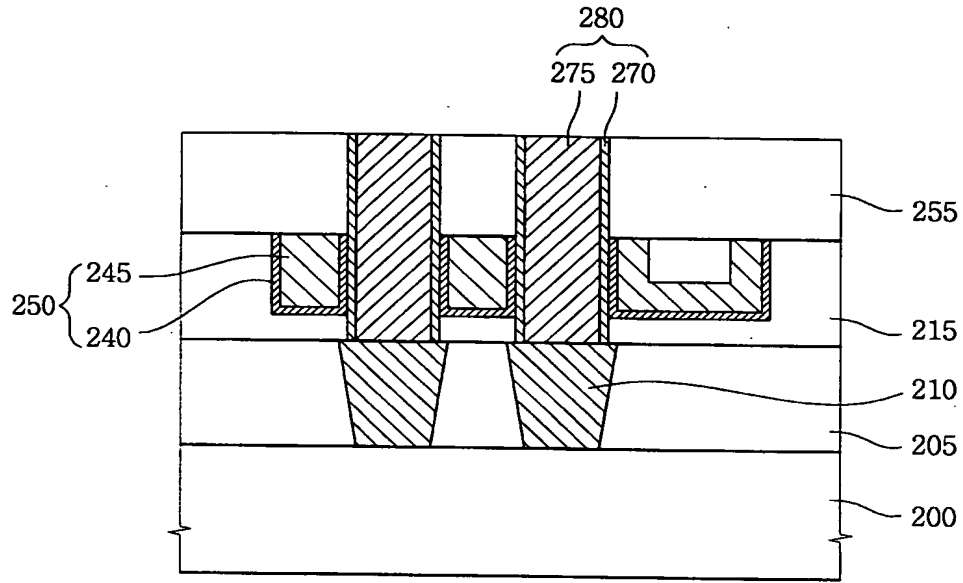
【도 3a】



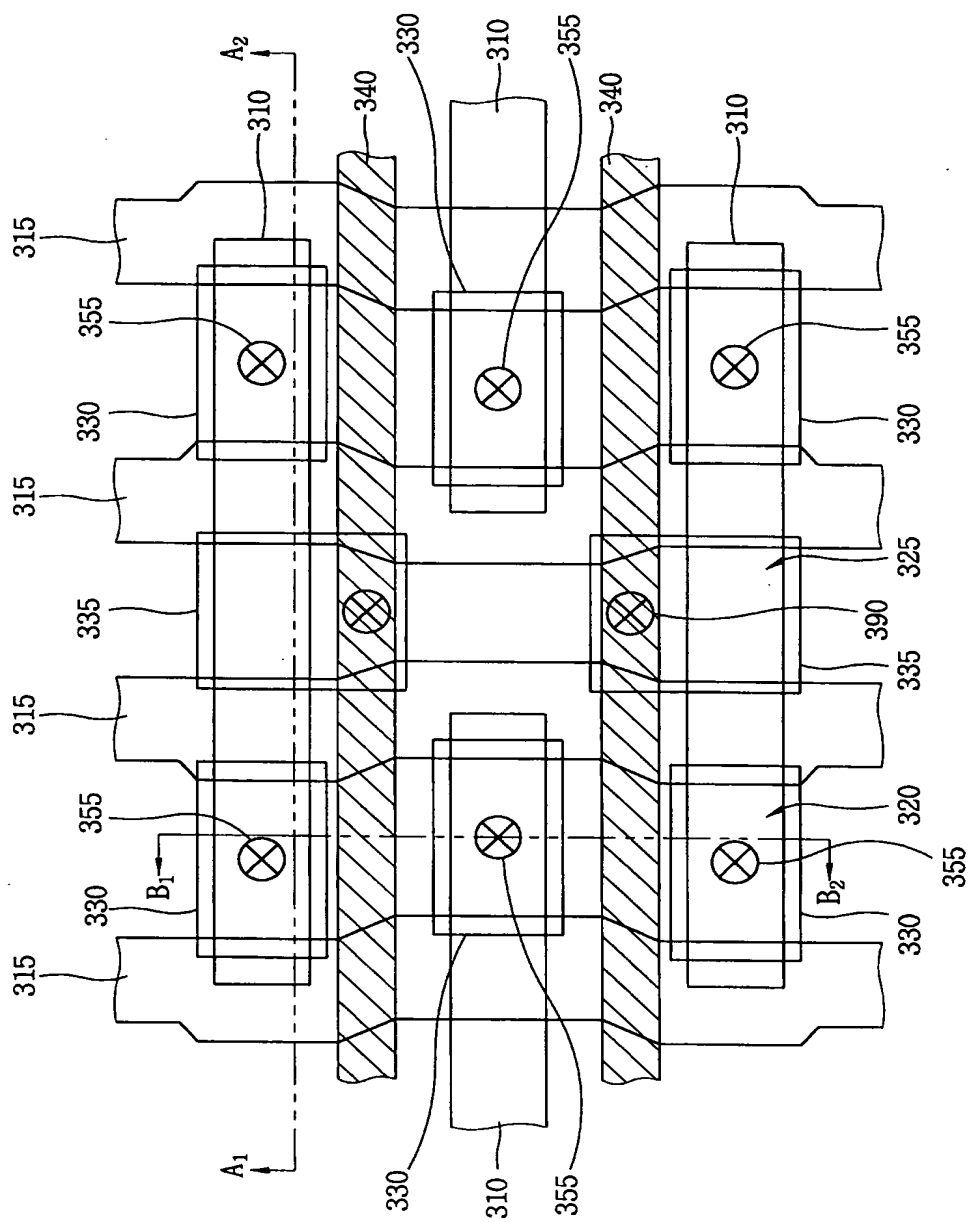
【도 3b】



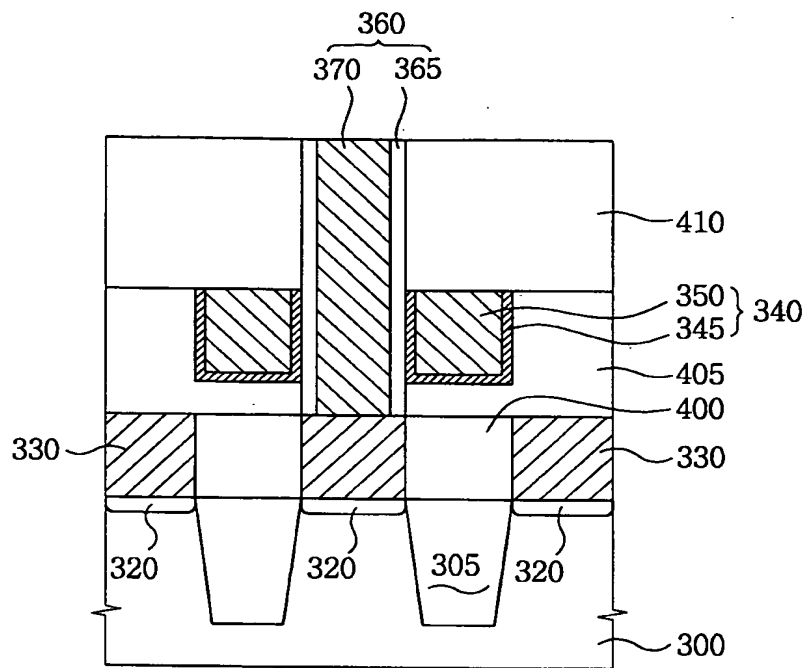
【도 3e】



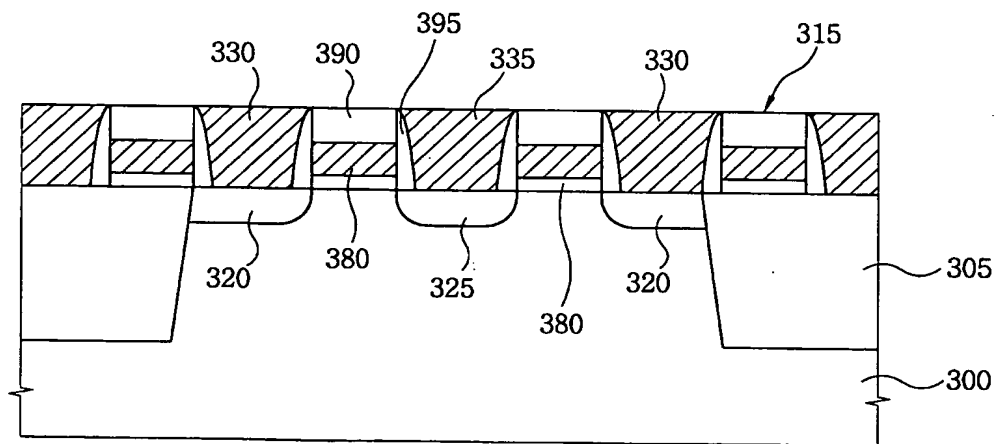
【 4 】



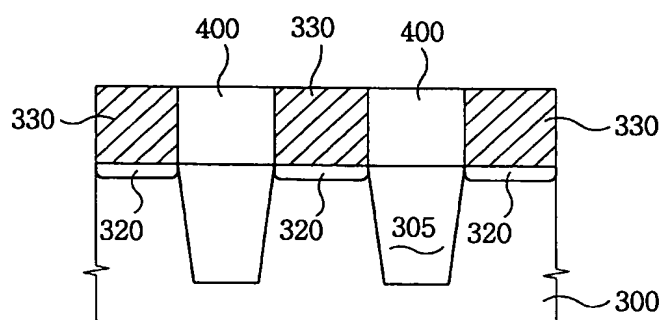
【도 5】



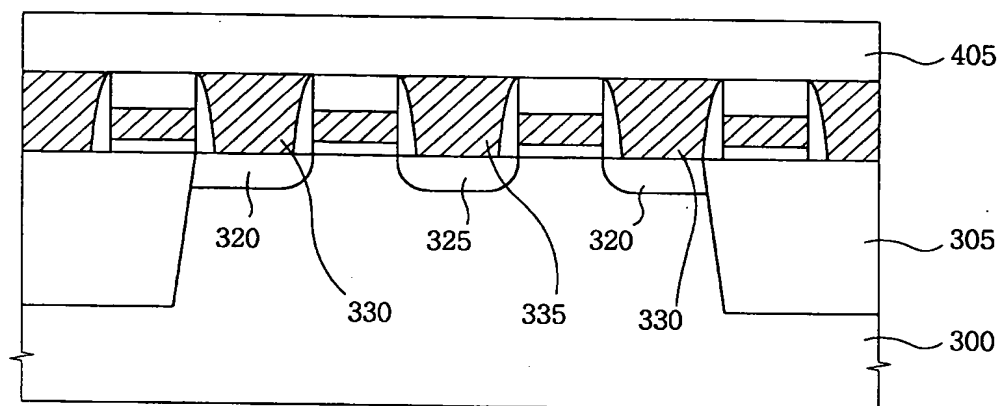
【도 6a】



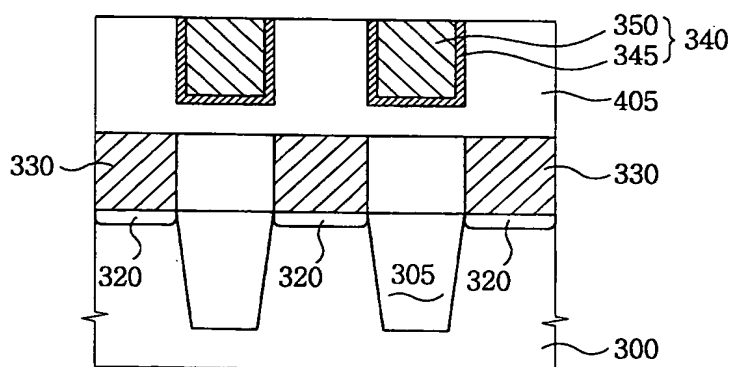
【도 6b】



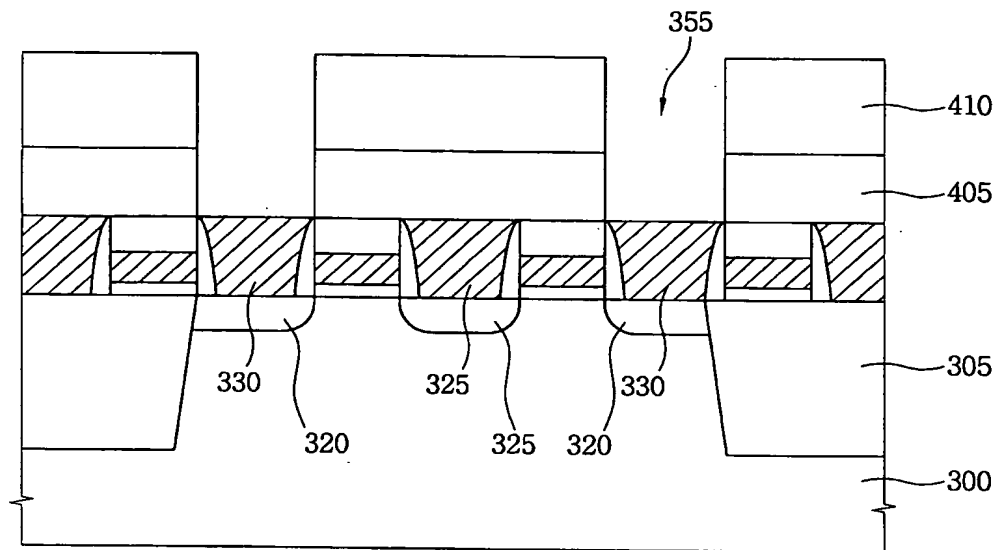
【도 7a】



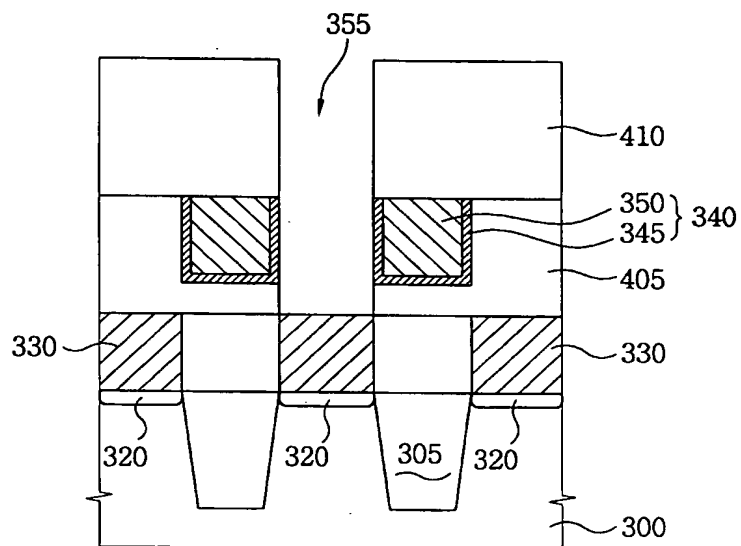
【도 7b】



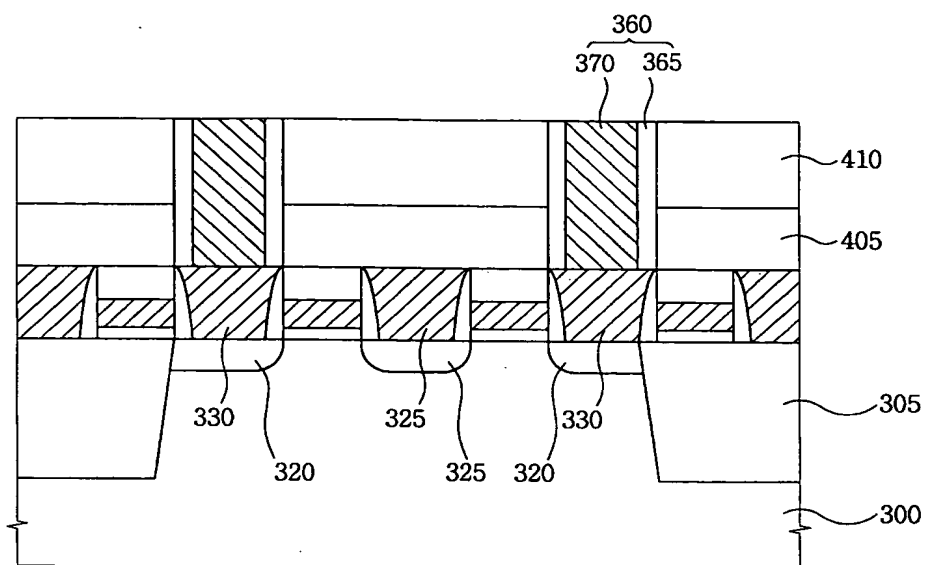
【도 8a】



【도 8b】



【도 9a】



【도 9b】

